

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-119167

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

G06F 9/355
H03H 17/02

(21)Application number : 04-266953

(71)Applicant : NEC CORP

(22)Date of filing : 06.10.1992

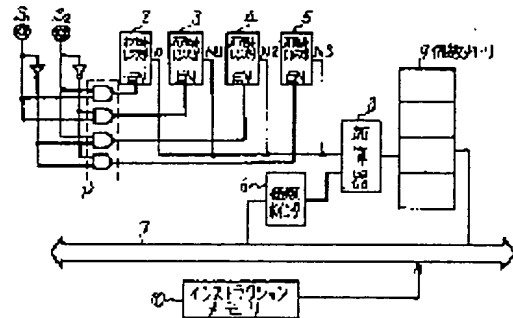
(72)Inventor : IGUCHI MINORU
YAZAWA AKIRA

(54) DIGITAL SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PURPOSE: To shorten loading time to perform characteristic change and to easily change coefficient data even when coefficient memory is comprised of a ROM by providing an offset register, and an adder which adds the value of the offset register on the value of a coefficient pointer designated by instruction memory.

CONSTITUTION: When this circuit is used as a digital filter for prescribed coefficient data, the offset register 2 is selected by setting offset value setting signals S1, S2 at L, and an offset value zero is outputted to the adder 8. Thence, the output of the coefficient pointer 6 designated by the instruction memory 10 is added on the offset value zero by the adder 8, and the addresses 0-(N1-1) of the coefficient memory 9 are designated. In such a way, the coefficient data in the digital filter can be changed by changing the selection of the offset registers 2-5 by changing the values of the offset setting signals S1, S2, and changing the offset values.



LEGAL STATUS

[Date of request for examination] 20.12.1996

[Date of sending the examiner's decision of rejection] 21.07.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-119167

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 9/355

H 0 3 H 17/02

K 7037-5 J

L 7037-5 J

9189-5 B

G 0 6 F 9/ 36

3 2 0

審査請求 未請求 請求項の数2(全 4 頁)

(21)出願番号

特願平4-266953

(22)出願日

平成4年(1992)10月6日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 井口 実

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 矢沢 晃

東京都港区芝五丁目7番1号日本電気株式会社内

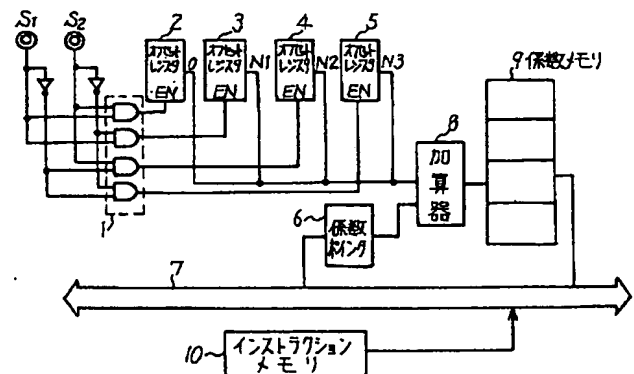
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 デジタル信号処理回路

(57)【要約】

【目的】 デジタルフィルタ等のプログラムの係数データの変更を短時間で且つ容易にすることにある。

【構成】 係数メモリ9のオフセット値を格納するオフセットレジスタ2~5と、オフセットレジスタ2~5の値およびインストラクションメモリ10が指定する係数ポインタ6の値を加算する加算器8とを有する。



1

【特許請求の範囲】

【請求項1】 オフセット値設定信号に基づきオフセット値を格納する複数のオフセットレジスタと、指定プログラムを格納するインストラクションメモリと、前記インストラクションメモリの指示により係数を指定される係数ポインタと、前記オフセットレジスタの値および前記係数ポインタの値を加算する加算器と、係数データをブロックに分割して格納し前記加算器の出力によりアドレス指定される係数メモリとを有することを特徴とするデジタル信号処理回路。

【請求項2】 前記オフセットレジスタは、オフセット値設定信号をカウンタによりイネーブルにされる請求項1記載のデジタル信号処理回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はデジタル信号処理回路に関する。

【0002】

【従来の技術】 従来のデジタル信号処理回路は、デジタルフィルタ等の係数を決めるために用いられている。しかも、マイコンからの指示によりアクセスされる各種のメモリ等を用いて構成される。

【0003】 図5は従来の一例を示すデジタル信号処理回路のブロック図である。図5に示すように、従来のデジタル信号処理回路は、マイコン12からの指示を端子S1を介して受信するマイコン用のインターフェース部13と、インストラクションを格納し且つインターフェース部13からアクセスされるインストラクションメモリ10aと、係数データを格納する係数メモリ9aと、この係数メモリ9aのアドレスを指す係数ポインタ6と、バス7とを備えている。かかる処理回路において、係数メモリ9aは0番地から(n-1)番地にそれぞれ係数データa₀からa_{n-1}を格納している。この係数メモリ9aの特性を変更する時は、新たな係数データを外部のマイコン12からロードして係数メモリ9aの0～(n-1)番地に格納するか、又は、インストラクションメモリ10aか指定する係数ポインタ6の値を外部マイコン12からロードする必要がある。

【0004】 図6は図5における係数メモリのデータを用いるデジタルフィルタの概略図である。図6に示すように、かかるデジタルフィルタは入力データを順次遅延させる遅延素子13と、これらの入力データおよび遅延素子13の出力データに前述した係数メモリ9aの係数データa₀～a_{n-1}を乗算する乗算器14と、これら乗算器14の出力を加算してフィルタ出力とする加算器15とを備えている。このようにデジタルフィルタは係数データを乗算に使用しており、演算特性を決定づけている。

【0005】

【発明が解決しようとする課題】 上述した従来のディ

2

タル信号処理回路は、デジタルフィルタ等のプログラムの特性を変更するにあたっては、インストラクションメモリの指定する係数ポインタの値を変更するかあるいは新たな係数データをロードする必要があるので、特性変更を行うための時間を必要とするだけではなく、外部マイコンの負担も大きくなるという欠点がある。また、係数メモリをROMで構成した場合、係数データの変更が不可能になるという欠点がある。

【0006】 本発明の目的は、かかる特性変更を行うためのロード時間を短縮し、係数メモリをROMで構成した場合でも係数データの変更を容易にすることのできるデジタル信号処理回路を提供することにある。

【0007】

【課題を解決するための手段】 本発明のデジタル信号処理回路は、オフセット値設定信号に基づきオフセット値を格納する複数のオフセットレジスタと、指定プログラムを格納するインストラクションメモリと、前記インストラクションメモリの指示により係数を指定される係数ポインタと、前記オフセットレジスタの値および前記係数ポインタの値を加算する加算器と、係数データをブロックに分割して格納し前記加算器の出力によりアドレス指定される係数メモリとを有して構成される。

【0008】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は本発明の一実施例を示すデジタル信号処理回路のブロック図である。図1に示すように、本実施例はオフセット値設定信号S1、S2の相補信号の論理積をとるAND回路1と、そのAND回路1の出力によりイネーブルにされる複数のオフセットレジスタ2～5と、インストラクションを記憶しているインストラクションメモリ10と、バス7に接続された係数ポインタ6と、オフセットレジスタ2～5の出力0、N1～N3と係数ポインタ6の出力を加算する加算器8と、係数を記憶し加算器8の出力によりアクセスされる係数メモリ9とを有する。オフセットレジスタ2からオフセットレジスタ5までのオフセット値は、前述したように、それぞれ0、N1、N2、N3となっている。オフセット値設定信号S1、S2はオフセットレジスタ2～5のうちどれか1つを選択するための信号であり、S1=S2=Lの時はオフセットレジスタ2を選択し、S1=L、S2=Hの時はオフセットレジスタ3、S1=H、S2=Lの時はオフセットレジスタ4、S1=S2=Hの時はオフセットレジスタ5をそれぞれ選択する。また、インストラクションメモリ10は係数ポインタ6を指定するプログラムを格納している。

【0009】 図2は図1に示す係数メモリの構成図である。図2に示すように、かかる係数メモリ9は0番地～(N1-1)番地の係数データとしてそれぞれa₀～a_{N1-1}を記憶しており、同様にN1番地～(N2-1)番地の係数データとしてそれぞれa_{N1}～a_{N2-1}を、N2番

3

地～(N3-1)番地の係数データとしてそれぞれ $a_{N2} \sim a_{N3-1}$ をN3番地～(N4-1)番地の係数としてそれぞれ $a_{N3} \sim a_{N4-1}$ を記憶している。このように、係数メモリ9は係数データをブロックに分割している。

【0010】かかるデジタル信号処理回路の動作について説明する。まず、係数データ $a_0 \sim a_{N1-1}$ のデジタルフィルタに使用する場合、オフセット値設定信号S1, S2をLにしてオフセットレジスタ2を選択し、加算器8に対しオフセット値0を出力する。次に、インストラクションメモリ10が指定する係数ポインタ6の出力と前述したオフセット値0とを加算器8で加算し、係数メモリ9のアドレス0～(N1-1)番地を指定する。

【0011】このようにしてデジタルフィルタ用の係数データが出力されるが、デジタルフィルタの係数データを変更する場合は、オフセット値設定信号S1, S2の値を変更してオフセットレジスタ2～5の選択を変更する。これにより、オフセット値が変更されるので、係数メモリ9のアドレスも変更される。すなわち、係数メモリ9から読み出される係数データが変更される。

【0012】図3は本発明の他の実施例を示すデジタル信号処理回路のブロック図である。図3に示すように、本実施例は前述した一実施例と比べてオフセットレジスタ2～5の選択をカウンタ11を設けて行なう点が相違し、その他は同様である。従って、本実施例では1つのオフセット値設定信号S1のみを用いてオフセット値を設定することができるという利点がある。

【0013】また、図4は図3に示すカウンタの構成図である。図4に示すように、このカウンタ11は複数のフリップ・フロップ12を縦属接続して構成される。

【0014】

【発明の効果】以上説明したように、本発明のデジタ

4

ル信号処理回路は、係数メモリのオフセット値を格納する複数のオフセットレジスタと、これらオフセットレジスタの値およびインストラクションメモリが指定する係数ポインタの値を加算する加算器とを有することにより、デジタルフィルタ等の特性の変更をオフセット値の変更だけで可能とするので、マイコンから係数データをロードする時間若しくはインストラクションメモリが指定する係数ポインタの値をロードする時間を削減できるという効果がある。また、本発明は係数メモリをROMで構成しても、係数データの変更が可能であるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示すデジタル信号処理回路のブロック図である。

【図2】図1に示す係数メモリの構成図である。

【図3】本発明の他の実施例を示すデジタル信号処理回路のブロック図である。

【図4】図3に示すカウンタの構成図である。

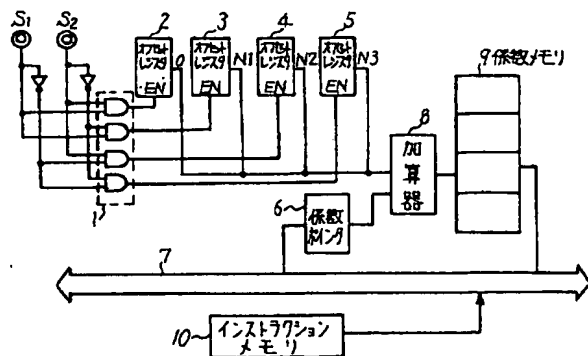
【図5】従来の一例を示すデジタル信号処理回路のブロック図である。

【図6】図5における係数メモリのデータを用いるデジタルフィルタの概略図である。

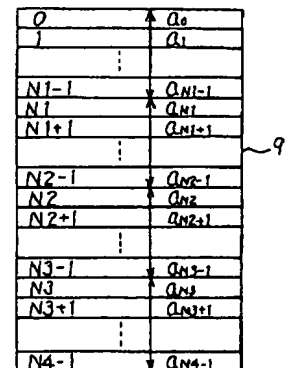
【符号の説明】

- 1 AND回路
- 2～5 オフセットレジスタ
- 6 係数ポインタ
- 8 加算器
- 9 係数メモリ
- 10 インストラクションメモリ
- 11 カウンタ
- 12 フリップ・フロップ
- S1, S2 オフセット値設定信号

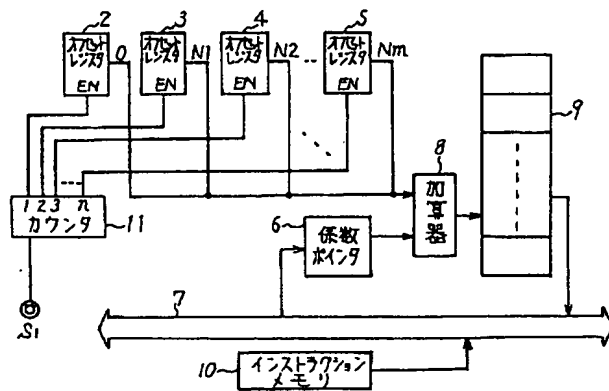
【図1】



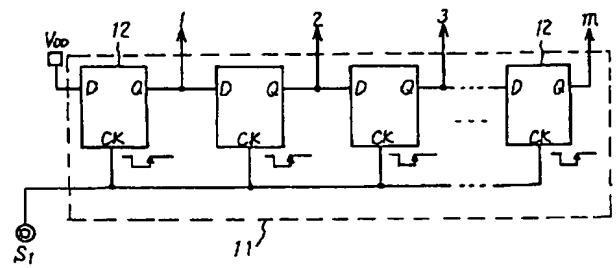
【図2】



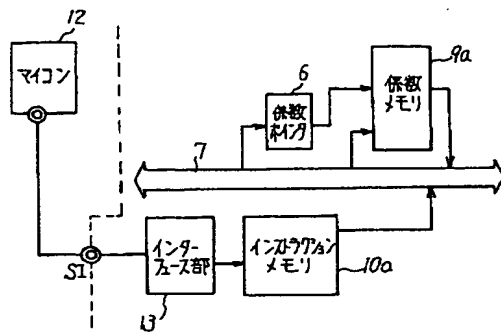
【図3】



【図4】



【図5】



【図6】

